

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-330991

(43)Date of publication of application : 30.11.1999

(51)Int.Cl.

H04B 1/04

H03B 5/02

H03F 1/56

(21)Application number : 10-139932

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 21.05.1998

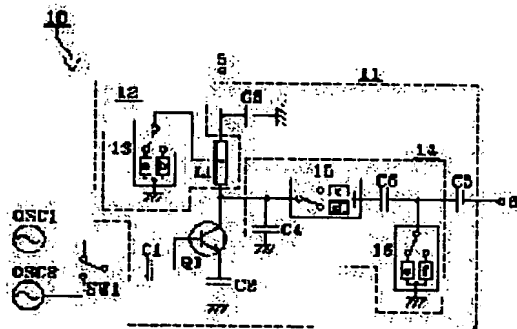
(72)Inventor : YAMAMOTO HIROYUKI

(54) OUTPUT MATCHING, SWITCHING, AND AMPLIFYING CIRCUIT AND ELECTRONIC DEVICE USING SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the output matching, switching, and amplifying circuit which can reduce unnecessary signals by switching to plural frequencies and matching and the electronic device which uses the circuit.

SOLUTION: An inductor L1 constituting a choke circuit 12 connected between a transistor Q1 and a power source is provided with an inductance switching circuit 13 and an output matching circuit 14 connected to the output of the transistor Q1 is provided with a matching and switching circuit 15 and a variable frequency band removing circuit 16 to obtain the output matching, switching, and amplifying circuit 11. Consequently, when signals of different frequencies are switched and handled, optimum matching circuits are actualized for the respective frequencies and unnecessary signals can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-330991

(43) 公開日 平成11年(1999)11月30日

(51) Int.Cl.⁸
H 0 4 B 1/04
H 0 3 B 5/02
H 0 3 F 1/56

識別記号

F I
H 0 4 B 1/04 B
H 0 3 B 5/02 D
H 0 3 F 1/56

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平10-139932
(22) 出願日 平成10年(1998) 5 月21 日

(71) 出願人 000006231
株式会社村田製作所
京都府長岡京市天神二丁目26番10号
(72) 発明者 山本 浩之
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

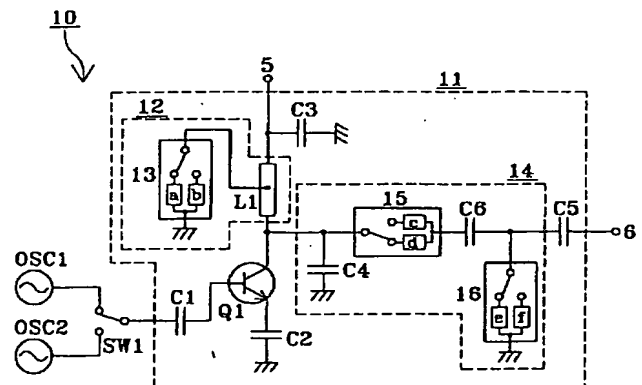
(54) 【発明の名称】 出力整合切換増幅回路およびそれをを用いた電子装置

(57) 【要約】

【課題】 複数の周波数に切り換えて整合し、不要信号を低減することのできる出力整合切換増幅回路およびそれをを用いた電子装置を提供する。

【解決手段】 トランジスタ Q 1 と電源との間に接続されたチョーク回路 1 2 を構成するインダクタ L 1 にインダクタンス切換回路 1 3 を設け、トランジスタ Q 1 の出力に接続された出力整合回路 1 4 に整合切換回路 1 5 と周波数可変帯域除去回路 1 6 を設けて出力整合切換増幅回路 1 1 とする。

【効果】 複数の周波数の信号を切り換えて扱う際に、各周波数において最適な整合回路を実現し、不要信号の低減を図ることができる。



【特許請求の範囲】

【請求項 1】 能動素子と、該能動素子と電源との間に接続されたチョーク回路と、前記能動素子の出力に接続された出力整合回路を有し、前記チョーク回路はインダクタンス素子とインダクタンス切換回路とを有し、前記出力整合回路は整合切換回路と周波数切換帯域除去回路とを有することを特徴とする出力整合切換増幅回路。

【請求項 2】 前記インダクタンス切換回路は、容量素子とダイオードを直列に接続してなり、その一端を前記インダクタンス素子の中間に接続し、他端をグラウンドに接続するとともに、前記容量素子と前記ダイオードとの接続部を第 1 の切換端子に接続したことを特徴とする、請求項 1 に記載の出力整合切換増幅回路。

【請求項 3】 前記整合切換回路をダイオードで構成し、該ダイオードを前記出力整合回路に直列に接続するとともに、前記ダイオードのいずれかの端子を第 2 の切換端子に接続したことを特徴とする、請求項 1 または 2 に記載の出力整合切換増幅回路。

【請求項 4】 前記周波数切換帯域除去回路は、インダクタンス素子と容量素子とダイオードを直列に接続してなり、その一端を前記出力整合回路に接続し、他端をグラウンドに接続するとともに、前記容量素子と前記ダイオードの接続部を前記第 1 の切換端子に接続したことを特徴とする、請求項 1 ないし 3 のいずれかに記載の出力整合切換増幅回路。

【請求項 5】 請求項 1 ないし 4 のいずれかに記載の出力整合切換増幅回路を用いたことを特徴とする電子装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は出力整合切換増幅回路およびそれを用いた電子装置、特に移動体通信機器の RF 段などの高周波帯で用いられる出力整合切換増幅回路およびそれを用いた電子装置に関する。

【0002】

【従来の技術】 近年の移動体通信システムの発展とともに、1つのエリアにおいて使用周波数帯域の異なる複数の移動体通信システムが共存するという状況が生じてきている。そのため、1つの通信機で複数の移動体通信システムに対応する必要性が生じ、通信機内に複数の周波数の局部発振信号源が必要になってきている。

【0003】 このような要求に対して、各移動体通信システムに対応した複数の局部発振器を使ったり、1つの局部発振器から複数の周波数の信号をスイッチで切り換えて出力するようにして対応している。

【0004】 図 7 に、従来の電子装置として、発振周波数の異なる 2 つの局部発振器から 1 つの周波数の信号をスイッチで切り換えて出力する発振器を示す。なお、ここでは直流バイアス回路の一部を省略し、主として交流信号に関する素子のみを示している。

【0005】 図 7 において、発振器 1 は発振周波数の異なる 2 つの局部発振器 OSC 1 および OSC 2 と、2 つの入力端子が局部発振器 OSC 1 および OSC 2 に接続されたスイッチ SW 1 と、スイッチ SW 1 の出力端子に接続された増幅回路 2 とで構成されている。また、増幅回路 2 は、能動素子であるトランジスタ Q 1 と、トランジスタ Q 1 のベースとスイッチ SW 1 との間に直列に接続されたコンデンサ C 1 と、トランジスタ Q 1 のエミッタとグラウンドとの間に接続されてエミッタを高周波的に接地するためのコンデンサ C 2 と、トランジスタ Q 1 のコレクタと電源端子 5 との間に接続されたチョーク回路 3 と、電源端子 5 とグラウンドとの間に接続されたコンデンサ C 3 と、トランジスタ Q 1 の出力端を兼ねるコレクタに接続された出力整合回路 4 と、出力整合回路 4 と出力端子 6 との間に接続されたコンデンサ C 5 とで構成されている。ここで、チョーク回路 3 は、たとえばプリント基板上に形成された幅の狭い一定長さの電極からなり、高周波においてインダクタ L 1 として機能する。また、出力整合回路 4 はトランジスタ Q 1 のコレクタとグラウンドとの間に接続されたコンデンサ C 4 からなる。

【0006】

【発明が解決しようとする課題】 2 つの局部発振器 OSC 1 と OSC 2 の発振周波数が比較的接近している場合には、図 7 に示す発振器 1 の構成でも特に問題はない。しかしながら、2 つの局部発振器 OSC 1 と OSC 2 の発振周波数が大きく離れている場合、たとえば 2 倍の差がある場合には、増幅回路 4 に広帯域の整合回路を必要とするが、一般に広帯域になるほど整合回路を構成するのが難しいという問題がある。しかも、低い周波数の信号を出力したいときに、不要信号、具体的には高調波のうちの特に 2 次高調波を同時に出力してしまうなどの不都合が生じる。

【0007】 本発明は上記の問題点を解決することを目的とするもので、複数の周波数に切り換えて整合し、不要信号を低減することのできる出力整合切換増幅回路およびそれを用いた電子装置を提供する。

【0008】

【課題を解決するための手段】 上記目的を達成するために、本発明の出力整合切換増幅回路は、能動素子と、該能動素子と電源との間に接続されたチョーク回路と、前記能動素子の出力に接続された出力整合回路を有し、前記チョーク回路はインダクタンス素子とインダクタンス切換回路とを有し、前記出力整合回路は整合切換回路と周波数切換帯域除去回路とを有することを特徴とする。

【0009】 また、本発明の出力整合切換増幅回路は、前記インダクタンス切換回路が、容量素子とダイオードを直列に接続してなり、その一端を前記インダクタンス素子の中間に接続し、他端をグラウンドに接続するとともに、前記容量素子と前記ダイオードとの接続部を第 1 の切換端子に接続したことを特徴とする。

【0010】また、本発明の出力整合切換増幅回路は、前記整合切換回路をダイオードで構成し、該ダイオードを前記出力整合回路に直列に接続するとともに、前記ダイオードのいずれかの端子を第2の切換端子に接続したことを特徴とする。

【0011】また、本発明の出力整合切換増幅回路は、前記周波数切換帯域除去回路が、インダクタンス素子と容量素子とダイオードを直列に接続してなり、その一端を前記出力整合回路に接続し、他端をグランドに接続するとともに、前記容量素子と前記ダイオードの接続部を前記第1の切換端子に接続したことを特徴とする。

【0012】また、本発明の電子装置は、上記の出力整合切換増幅回路を用いたことを特徴とする。

【0013】このように構成することにより、本発明の出力整合切換増幅回路においては、複数の周波数の信号を切り換えて出力するときに、不要信号を低減することができる。

【0014】また、本発明の電子装置においては、外部回路を簡略化し、電子装置を用いたシステム全体としてコストダウンを図ることができる。

【0015】

【発明の実施の形態】図1に、本発明の出力整合切換増幅回路を有する電子装置である発振器の一実施例を示す。図1で、図7と同一もしくは同等の部分には同じ記号を付す。

【0016】図1において、発振器10は発振周波数の異なる2つの局部発振器OSC1およびOSC2と、2つの入力端子が局部発振器OSC1およびOSC2に接続されたスイッチSW1と、スイッチSW1の出力端子に接続された出力整合切換増幅回路11とで構成されている。また、出力整合切換増幅回路11は、能動素子であるトランジスタQ1と、トランジスタQ1のベースとスイッチSW1との間に直列に接続されたコンデンサC1と、トランジスタQ1のエミッタとグランドとの間に接続されてエミッタを高周波的に接地するためのコンデンサC2と、トランジスタQ1のコレクタと電源端子5との間に接続されたチョーク回路12と、電源端子5とグランドとの間に接続されたコンデンサC3と、トランジスタQ1の出力端を兼ねるコレクタに接続された出力整合回路14と、出力整合回路14と出力端子6との間に接続されたコンデンサC5とで構成されている。

【0017】ここで、チョーク回路12は、たとえばプリント基板上に形成された幅の狭い一定長さの電極からなるインダクタL1と、インダクタL1の中間とグランドとの間に接続されたインダクタンス切換回路13を有する。また、出力整合回路14は、トランジスタQ1のコレクタとグランドとの間に接続されたコンデンサC4と、トランジスタQ1のコレクタとコンデンサC5との間に直列に接続された整合切換回路15とコンデンサC6とを有し、さらに、コンデンサC6とコンデンサC5

との接続部とグランドとの間に接続された周波数切換帯域除去回路16を有している。そして、インダクタンス切換回路13、出力整合回路14、周波数切換帯域除去回路16は、それぞれ内蔵する2つのインピーダンス素子aとb、cとd、eとfを切り換えることができる。

【0018】さらにここでは、局部発振器OSC1は周波数f1で発振し、局部発振器OSC2は周波数f2で発振し、周波数f2は周波数f1の2倍に設定されていると仮定する。

【0019】このように構成された発振器10において、スイッチSW1によって2つの局部発振器OSC1、OSC2のいずれかを選択すると同時に、出力整合切換増幅回路11を構成するインダクタンス切換回路13、整合切換回路15、周波数切換帯域除去回路16においてもそれぞれ2つのインピーダンス素子のいずれかを選択する。その結果、インダクタンス切換回路13はチョーク回路12のインダクタンス値を変更する。整合切換回路15はトランジスタQ1のコレクタと出力端子6との間のインピーダンスを変更する。そして、周波数切換帯域除去回路16は不要な周波数の信号に対するトラップ（帯域除去フィルタ）として機能する。これによって、周波数f1および周波数f2のそれぞれに応じて最適な整合回路を実現し、不要な信号の低減を図ることができる。

【0020】図2に、インダクタンス切換回路13と、整合切換回路15と、周波数切換帯域除去回路16を具体的な回路で構成した場合の発振器10を示す。

【0021】まず、チョーク回路12において、インダクタンス切換回路13はインダクタL1の中間とグランドとの間に直列に接続された容量素子であるコンデンサC7とダイオードD1、および、コンデンサC7とダイオードD1との接続部と第1の切換端子17との間に接続された抵抗R1で構成されている。ここで、コンデンサC7は局部発振器OSC2の発振周波数である周波数f2において十分低いインピーダンスになるような値に設定されている。

【0022】また、整合切換回路15は、トランジスタQ1のコレクタとコンデンサC6の間に接続されたダイオードD2と、ダイオードD2のアノードと第2の切換端子18の間に接続された抵抗R2で構成されている。

【0023】そして、周波数切換帯域除去回路16は、コンデンサC6とC5の接続部とグランドとの間に直列に接続されたインダクタンス素子であるインダクタL2と、容量素子であるコンデンサC8と、ダイオードD3と、コンデンサC8とダイオードD3の接続部と第1の切換端子17との間に接続された抵抗R3とで構成されている。ここで、コンデンサC8は局部発振器OSC1の発振周波数である周波数f1において十分低いインピーダンスになるような値に設定されている。

【0024】このように構成された発振回路10におい

て、局部発振器OSC1から低い周波数 f_1 を出力するようにスイッチSW1を切り換えた場合を考える。この時、第1の切換端子17には電圧を加えず、第2の切換端子18には電圧を加える。

【0025】インダクタンス切換回路13においては、ダイオードD1に順方向の電圧が加わらないため、ダイオードD1は非導通状態となり、微少な内部容量を有するコンデンサとして働く。コンデンサC7とダイオードD1は直列接続されているため、インダクタンス切換回路13全体が微少な容量のコンデンサ、すなわち高いインピーダンスの負荷となり、インダクタL1はインダクタンス切換回路13が接続されていない状態とほぼ等しくなる。つまり、チョーク回路12はインダクタL1のみから構成されているのと同じ状態となる。

【0026】一方、整合切換回路15においてはダイオードD2に順方向の電圧が加わり導通状態となるため、整合切換回路15のインピーダンスはほとんど0になる。

【0027】そして、周波数切換帯域除去回路16においては、ダイオードD3に順方向の電圧が加わらないため、ダイオードD3は非導通状態となり、微少な内部容量を有するコンデンサとして働く。その結果、周波数切換帯域除去回路16は、インダクタL2と、コンデンサC8とダイオードD3の直列接続による微少な容量との直列共振回路となり、共振周波数は高くなる。この周波数切換帯域除去回路16の共振周波数を周波数 f_1 の2倍の周波数（周波数 f_2 ）に設定しておく。

【0028】この結果、出力整合切換増幅回路11は低い周波数 f_1 における整合回路として機能する。そしてその2次高調波の信号は周波数切換帯域除去回路16で低減され出力端子6にはほとんど出力されない。

【0029】逆に、局部発振器OSC2から高い発振周波数 f_2 を出力するようにスイッチSW1を切り換えた場合を考える。この場合は、第1の切換端子17には電圧を加え、第2の切換端子18には電圧を加えない。

【0030】インダクタンス切換回路13においては、ダイオードD1に順方向の電圧が加わるため、ダイオードD1は導通状態となり、インダクタンス切換回路13全体がコンデンサC7と等価になる。コンデンサC7は周波数 f_2 で十分に低いインピーダンスになるような値に設定されているため、インダクタンス切換回路13が全体として非常に低いインピーダンスで接地された状態となる。その結果、チョーク回路12においては、インダクタL1がインダクタンス切換回路13の接続された位置で接地された状態、すなわちインダクタンス値が小さくなった状態とほぼ等しくなる。

【0031】一方、整合切換回路15において、ダイオードD2には順方向の電圧が加わらないため非導通状態となり、ダイオードD2は微少な内部容量を有するコンデンサとして働く。

【0032】そして、周波数切換帯域除去回路16において、ダイオードD3には順方向の電圧が加わるため、ダイオードD3は導通状態となる。その結果、周波数切換帯域除去回路16はインダクタL2とコンデンサC8との直列共振回路となり、共振周波数は低くなる。この周波数切換帯域除去回路16の共振周波数を周波数 f_2 の半分の周波数（周波数 f_1 ）に設定しておく。

【0033】この結果、出力整合切換増幅回路11は高い周波数である周波数 f_2 における整合回路として機能する。

【0034】なお、周波数 f_1 と周波数 f_2 をスイッチによって切り換える場合で、周波数 f_2 を出力する場合は、周波数切換帯域除去回路16はなんの働きもしないが、たとえば1つの局部発振器で基本波である周波数 f_1 と2次高調波である周波数 f_2 を同時に出力するような回路の場合には、周波数 f_2 を出力するときに不要な周波数 f_1 を周波数切換帯域除去回路16で低減することができ、不要な周波数 f_1 は出力端子6にはほとんど出力されない。

【0035】なお、インダクタンス切換回路13、整合切換回路15、周波数切換帯域除去回路16を構成する各ダイオードD1、D2、D3の非導通状態における内部容量が小さすぎて上記の作用効果を得にくい場合には、各ダイオードD1、D2、D3に並列に適当な容量のコンデンサを設けても構わないものである。

【0036】図3に、図2の発振器10の出力整合切換増幅回路11を周波数 f_1 に合わせた時の挿入損失を示す。図3において、Aはインダクタンス切換回路13と整合切換回路15のみを有する場合の挿入損失を、Bは周波数切換帯域除去回路16のみを有する場合の挿入損失を、Cはインダクタンス切換回路13と整合切換回路15と周波数切換帯域除去回路16の全てを有する場合の挿入損失を示す。挿入損失Aに示すように、出力整合切換増幅回路11の挿入損失が周波数 f_1 でもっとも小さくなるようにインダクタンス切換回路13と整合切換回路15が設定されている。また、挿入損失Bに示すように、出力整合切換増幅回路11の挿入損失が周波数 f_2 でもっとも大きくなるように周波数切換帯域除去回路16が設定されている。そのため、その全てを有する場合は挿入損失Cに示すように、出力整合切換増幅回路11の挿入損失が周波数 f_1 で小さく、周波数 f_2 で大きくなって、必要な信号を通し、不要な信号を低減するようになっている。

【0037】また、図4に、同じく図2の発振器10の出力整合切換増幅回路11を周波数 f_2 に合わせた時の挿入損失を示す。図4において、Dはインダクタンス切換回路13と整合切換回路15のみを有する場合の挿入損失を、Eは周波数切換帯域除去回路16のみを有する場合の挿入損失を、Fはインダクタンス切換回路13と整合切換回路15と周波数切換帯域除去回路16の全て

を有する場合の挿入損失を示す。挿入損失Dに示すように、出力整合切換増幅回路11の挿入損失が周波数 f_2 でもっとも小さくなるようにインダクタンス切換回路13と整合切換回路15が設定されている。また、挿入損失Eに示すように、出力整合切換増幅回路11の挿入損失が周波数 f_1 でもっとも大きくなるように周波数切換帯域除去回路16が設定されている。そのため、その全てを有する場合は挿入損失Fに示すように、出力整合切換増幅回路11の挿入損失が周波数 f_1 で大きく、周波数 f_2 で小さくなって、必要な信号を通し、不要な信号を低減するようになっている。

【0038】なお、図3および図4に示した挿入損失を測定した回路は、特に図示していないが、出力整合切換増幅回路11以外の要素を一部含んでいるため、インダクタンス切換回路13と整合切換回路15のみを有する場合の挿入損失と、周波数切換帯域除去回路16のみを有する場合の挿入損失を合成しても、インダクタンス切換回路13と整合切換回路15と周波数切換帯域除去回路16の全てを有する場合の挿入損失とは必ずしも完全には一致しない。

【0039】図5および図6に、発振器10の信号源として、2つの局部発振器OSC1、OSC2をスイッチSW1によって切り換える回路を、1つの局部発振器で基本波として周波数 f_1 を、2次高調波として周波数 f_2 を同時に出力する回路に交換した場合の、出力信号のスペクトルを示す。図5は周波数 f_1 を、図6は周波数 f_2 をそれぞれ出力するように出力整合切換増幅回路11を制御した場合のスペクトルである。図5においては、2次高調波である周波数 f_2 が大きく低減されて基本波である周波数 f_1 が主となり、図6においては、基本波である周波数 f_1 が大きく低減されて2次高調波である周波数 f_2 が主となっている。これより、出力整合切換増幅回路11が有効に機能していることが分かる。

【0040】以上のように、本発明の出力整合切換増幅回路においては、複数の周波数の信号を切り換えて扱う際に、各周波数において最適な整合回路を実現し、不要な信号の低減を図ることができる。

【0041】また、本発明の電子装置においては、上記の出力整合切換増幅回路を用いることによって不要な信号が出力しないため、外部にフィルタが不要になるなど外部回路を簡略化することができ、電子装置を用いたシステム全体としてコストダウンを図ることができる。

【0042】なお、上記の実施例においては、能動素子としてトランジスタを用いたが、FETや真空管などの他の能動素子を用いても構わないものである。また、チョーク回路12を構成するインダクタL1を、たとえばプリント基板上に形成された幅の狭い一定長さの電極により構成したが、インダクタの構成はこれに限るものではなく、中間タップを有するコイルや、2つ以上のチップインダクタを直列に接続して、その接続部に端子を設

けたものなど、インダクタンス素子として機能するものであればどのようなものでも構わないものである。

【0043】なお、上記の実施例においては、2つの周波数を切り換える場合について説明したが、切り換える周波数の数は2つに限るものではなく、3つ以上の周波数を切り換える場合でも、インダクタンス切換回路や整合切換回路や周波数切換帯域除去回路を複数設ける等して対応することができる。

【0044】また、上記の実施例においては電子装置として発振器を示したが、これは単なる発振器に限るものではなく、電圧制御発振器でも構わない。さらには、発振器以外のものでも、2つ以上の異なる周波数、あるいは異なる周波数帯域の信号を切り換えて扱うものであれば、どのような電子装置にも応用可能である。

【0045】

【発明の効果】本発明の出力整合切換増幅回路によれば、能動素子と電源との間のチョーク回路にインダクタンス切換回路を設け、能動素子の出力に接続した出力整合回路に整合切換回路と周波数切換帯域除去回路を設けることによって、複数の周波数の信号を切り換えて扱う際に、各周波数において最適な整合回路を実現し、不要な信号の低減を図ることができる。

【0046】また、本発明の電子装置によれば、本発明の出力整合切換増幅回路を用いることによって、外部回路を簡略化することができ、電子装置を用いたシステム全体としてコストダウンを図ることができる。

【図面の簡単な説明】

【図1】本発明の出力整合切換増幅回路を用いた電子装置の一実施例を示す回路図である。

【図2】図1の出力整合切換増幅回路の具体的な構成を示す回路図である。

【図3】図1の電子装置の出力整合切換増幅回路を周波数 f_1 に合わせた場合の挿入損失を示すグラフである。

【図4】図1の電子装置の出力整合切換増幅回路を周波数 f_2 に合わせた場合の挿入損失を示すグラフである。

【図5】図1の電子装置で基本波の周波数を出力する場合のスペクトルを示すグラフである。

【図6】図1の電子装置で2次高調波の周波数を出力する場合のスペクトルを示すグラフである。

【図7】従来の電子装置を示す回路図である。

【符号の説明】

5…電源端子

6…出力端子

10…発振器

11…出力整合切換増幅回路

12…チョーク回路

13…インダクタンス切換回路

14…出力整合回路

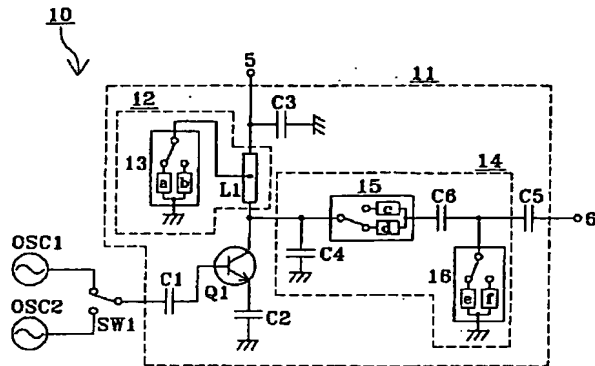
15…整合切換回路

16…周波数切換帯域除去回路

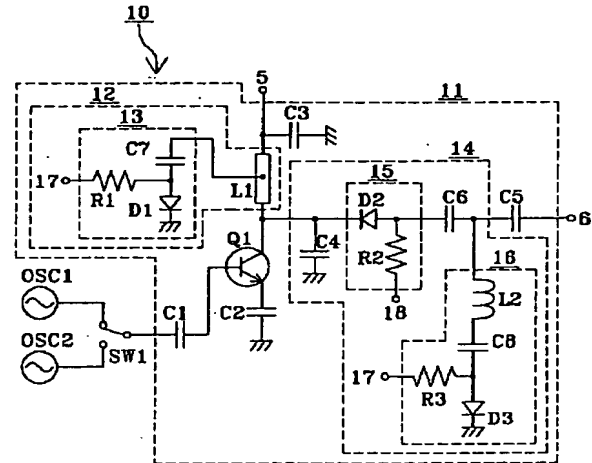
17…第1の切換端子
18…第2の切換端子
OSC1、OSC2…局部発振器
SW1…スイッチ
Q1…トランジスタ
L1、L2…インダクタ

C1、C2、C3、C4、C5、C6、C7、C8…コンデンサ
R1、R2、R3…抵抗
D1、D2、D3…ダイオード
a、b、c、d、e、f…インピーダンス素子

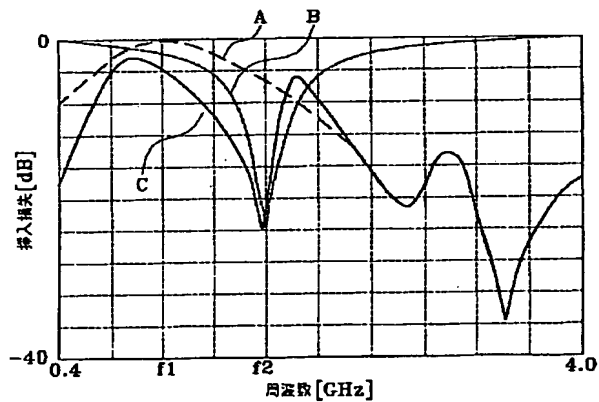
【図1】



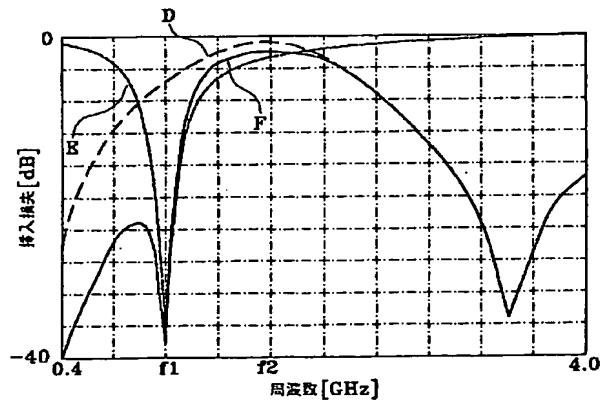
【図2】



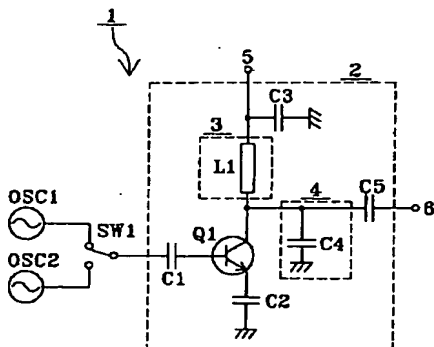
【図3】



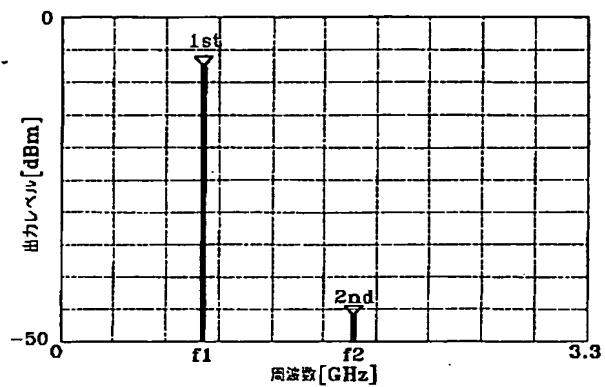
【図4】



【図7】



【図 5】



【図 6】

